

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EP0. All rts. reserv.

16463614

Basic Patent (No,Kind,Date): JP 6124962 A2 19940506 <No. of Patents: 033>

THIN-FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): CHIYOU KOUYUU; TAKEMURA YASUHIKO

IPC: *H01L-021/336; H01L-029/784

Derwent WPI Acc No: C 94-187296

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
CA 2155494	AA	19960726	CA 2155494	A	19950804	
CN 1090427	A	19940803	CN 93114663	A	19931009	
CN 1041872	B	19990127	CN 93114663	A	19931009	
DE 19529319	A1	19960801	DE 19529319	A	19950809	
DE 19529319	C2	19980702	DE 19529319	A	19950809	
ES 2116200	AA	19980701	ES 9501673	A	19950821	
ES 2116200	BA	19990216	ES 9501673	A	19950821	
FR 2729769	A1	19960726	FR 9510264	A	19950831	
FR 2729769	B3	19970404	FR 9510264	A	19950831	
GB 9516822	A0	19951018	GB 9516822	A	19950817	
GB 2297391	A1	19960731	GB 9516822	A	19950817	
IT 96500070	A0	19960117	IT 96MI 70	A	19960117	
IT 1281739	B1	19980227	IT 96MI 70	A	19960117	
JP 6124962	A2	19940506	JP 92297650	A	19921009	(BASIC)
JP 7038115	A2	19950207	JP 93200253	A	19930720	
JP 7078782	A2	19950320	JP 93172711	A	19930618	
JP 7111334	A2	19950425	JP 94218075	A	19940819	
JP 2000091594	A2	20000331	JP 99286130	A	19991006	
JP 2000277750	A2	20001006	JP 200077565	A	19921009	
JP 2000277751	A2	20001006	JP 200077570	A	19921009	
JP 2000277752	A2	20001006	JP 200077625	A	19921009	
JP 3030367	B2	20000410	JP 93200253	A	19930720	
JP 3252990	B2	20020204	JP 93172711	A	19930618	

JP 3472231	B2	20031202	JP 200077565	A	19921009
JP 3472232	B2	20031202	JP 200077570	A	19921009
JP 3472233	B2	20031202	JP 200077625	A	19921009
KR 131061	B1	19980414	KR 9320969	A	19931009
US 5576556	A	19961119	US 291028	A	19940816
US 5962897	A	19991005	US 886139	A	19970630
US 20020011627	AA	20020131	US 387054	A	19990831
US 20030006414	AA	20030109	US 241624	A	20020912
US 6624477	BA	20030923	US 122092	A	19980724
US 6455875	BB	20020924	US 387054	A	19990831

Priority Data (No,Kind,Date):

US 378361 A 19950125
 JP 92297650 A 19921009
 JP 93200253 A 19930720
 JP 93172711 A 19930618
 JP 94218075 A 19940819
 JP 93227891 A 19930820
 JP 99286130 A 19991006
 JP 200077565 A 19921009
 JP 200077570 A 19921009
 JP 200077625 A 19921009
 US 291028 A 19940816
 US 378316 A2 19950125
 US 131958 B1 19931008
 US 886139 A 19970630
 US 645695 B1 19960514
 US 378316 B1 19950125
 US 387054 A 19990831
 US 886138 A3 19970630
 US 241624 A 20020912
 US 387054 A3 19990831
 US 886139 A3 19970630
 US 122092 A 19980724
 US 698963 B3 19960816
 US 378361 B2 19950125
 US 291028 A3 19940816

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04786182 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 07-078782 [JP 7078782 A]

PUBLISHED: March 20, 1995 (19950320)

INVENTOR(s): TERAMOTO SATOSHI

CHIYOU KOUYUU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 05-172711 [JP 93172711]

FILED: June 18, 1993 (19930618)

INTL CLASS: [6] H01L-021/265; H01L-021/266; H01L-021/28; H01L-021/3205;
H01L-021/336; H01L-029/786

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PURPOSE: To provide a contact of a source/drain region accurately at a position adjacent to a channel forming region by a method wherein the contact is positioned by an insulator.

CONSTITUTION: An oxide layer 16 is formed surrounding a gate electrode 15, furthermore a nearly triangular insulator 22 is provided around the gate electrode 15, and contact points between a source region 17 and a drain region 19 and electrodes 29 and 30 are positioned by the insulator 22. The nearly triangular insulator 22 is formed through such a manner that a silicon oxide film 20 is formed and then subjected to etching anisotropic in a vertical direction into a part 21 indicated by a dotted line. Chemical compound (silicide) 28 composed of metal and silicon is provided to the parts of the source region 17 and the drain region 19 in contact with the source electrode 29 and the drain electrode 30, whereby the electrodes 29 and 30 and the regions 17 and 19 are lessened in contact resistance between them, and the regions 17 and 19 are also reduced in sheet resistance.

(19) 日本国特許庁 (J P) (12) 特 許 公 報 (B 2) (11) 特許番号
特許第3252990号
(P 3 2 5 2 9 9 0)
(45) 発行日 平成14年 2 月 4 日 (2002. 2. 4) (24) 登録日 平成13年11月22日 (2001. 11. 22)

(51) Int. Cl. ⁷ 識別記号 F I
H01L 21/265 604 H01L 21/265 604 X
21/266 21/28 301 S
21/28 301 21/265 M
21/3205 21/88 F
21/336 29/78 616 M
請求項の数 3 (全 9 頁) 最終頁に続く

(21) 出願番号	特願平5-172711	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成 5 年 6 月 18 日 (1993. 6. 18)	(72) 発明者	寺本 聡 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開平7-78782	(72) 発明者	張 宏勇 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成 7 年 3 月 20 日 (1995. 3. 20)		
審査請求日	平成 6 年 8 月 26 日 (1994. 8. 26)		
審判番号	平10-2276		
審判請求日	平成10年 2 月 12 日 (1998. 2. 12)		

合議体
審判長 松本 邦夫
審判官 西脇 博志
審判官 橋本 武

最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

1

(57) 【特許請求の範囲】

【請求項 1】 ガラス基板上に形成された下地膜と、
前記下地膜上に形成された、ソース領域、ドレイン領域、
オフセットゲイト領域およびチャネル形成領域を含む結晶性半導体層と、
前記チャネル形成領域上に形成されたゲイト絶縁膜と、
前記ゲイト絶縁膜上に形成されたゲイト電極と、
前記ゲイト電極の上面および側面に形成された第 1 の絶縁層と、
前記第 1 の絶縁層の側面に形成された概略三角形形状の絶縁物とを有し、
前記ソース領域および前記ドレイン領域の表面にはシリサイド層が形成されており、
前記概略三角形形状の絶縁物および前記シリサイド層に密接して窒化チタン層が形成されており、

2

前記窒化チタン層上には、ソース電極またはドレイン電極が形成されており、
前記ゲイト電極は、金属からなり、
前記第 1 の絶縁層は、前記ゲイト電極の金属酸化物であり、
前記概略三角形形状の絶縁物は、前記ゲイト電極の金属酸化物と異なる材料からなり、
前記オフセットゲイト領域と前記ソース領域との界面および前記オフセットゲイト領域と前記ドレイン領域との界面は、前記ゲイト絶縁膜を介して前記ゲイト電極の側面に形成された第 1 の絶縁層の下部に設けられていることを特徴とする半導体装置。
【請求項 2】 請求項 1 において、前記ゲイト電極は、アルミニウムを主成分としており、
前記第 1 の絶縁層は、アルミニウムの酸化物であること

を特徴とする半導体装置。

【請求項 3】 基板上に下地膜を成膜する工程と、
前記下地膜上に非晶質珪素膜を成膜する工程と、
前記非晶質珪素膜を結晶化して第 1 の結晶性珪素膜とする工程と、
前記第 1 の結晶性珪素膜をパターンニングして第 2 の結晶性珪素膜とする工程と、前記第 2 の結晶性珪素膜上にゲイト絶縁膜を形成し、前記ゲイト絶縁膜上にゲイト電極を形成し、前記ゲイト電極の上面および側面に第 1 の絶縁層を形成する工程と、
前記第 1 の絶縁層をマスクにして前記第 2 の結晶性珪素膜に N 型または P 型の不純物を添加し、活性化してソース領域、ドレイン領域およびオフセットゲイト領域を形成する工程と、
前記第 1 の絶縁層および前記第 2 の結晶性珪素膜を覆って第 2 の絶縁層を形成する工程と、
前記第 2 の絶縁層を異方性エッチングし、前記第 1 の絶縁層の側面に概略三角形形状の絶縁物を残存させるとともに、前記ソース領域および前記ドレイン領域を露呈させる工程と、
前記露呈したソース領域およびドレイン領域表面にシリサイド層を形成する工程と、
前記概略三角形形状の絶縁物および前記シリサイド層上に密接して窒化チタン層を形成する工程と、前記窒化チタン層上にソース電極およびドレイン電極を形成する工程とを有し、かつ前記基板は、ガラス基板であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、TFT（薄膜トランジスタ）の構造、及びその作製方法に関する。

【0002】

【従来の技術】 従来より、アクティブマトリックス型の液晶表示装置やイメージセンサー等のガラス基板上に集積化された装置に TFT（薄膜トランジスタ）を利用する構成が広く知られている。図 5 に従来の TFT の断面の概略を示す。図 5（A）に示されているのは、ガラス基板上に設けられた薄膜珪素半導体を用いた絶縁ゲイト型電界効果トランジスタ（以下単に TFT という）である。図 5（A）において、61 がガラス基板であり、このガラス基板 61 上に下地の酸化珪素膜 62（2000 Å 厚程度）が形成され、さらにその上にソース／ドレイン領域 63、65 とチャネル形成領域 64 とが設けられた珪素半導体膜により構成される活性層が形成されている。この珪素半導体膜は、1000 Å 程度の厚さであり、非晶質（アモルファス）または結晶性（多結晶や微結晶）を有している。

【0003】 そして活性層上にはゲイト絶縁膜を構成する酸化珪素膜 66 が 1000 Å 程度の厚さで形成されている。そしてゲイト電極 67 がアルミニウムで形成さ

れ、このゲイト電極 67 の周囲には、アルミの陽極酸化によって形成された酸化物層 68 が厚さ 2000 Å 程度の厚さで形成されている。さらに層間絶縁物 69 が酸化珪素等で形成され、ソース／ドレイン電極 70、71 とゲイト電極 67 へのコンタクトホール 72 が形成されている。図 5（A）において、ゲイト電極 67 へのコンタクトホール 72 は、紙面向う側あるいは手前側（即ちソース／ドレイン電極 70、71 と同一平面上にはない）に存在する。

10 【0004】 図 5（A）に示す構造は、アルミニウムのゲイト電極 67 の陽極酸化によって形成されたゲイト電極 67 周囲の酸化物層 68 の厚さ 73 によって、自己整合的にオフセットゲイト領域を形成できる点が特徴である。即ち、酸化物層 68 を形成した後において、ソース／ドレイン領域を構成するための不純物イオンの注入を行うことによって、酸化物層 68 の厚さの分をオフセット領域として形成することができる。

【0005】 しかしながら、実際には不純物の拡散があるので、ソース／ドレイン領域 63、65 とチャネル形成領域 64 との境界は、酸化物層 68 の端部に対応する所よりチャネル形成領域側によった部分となる。従って、その分を考慮して酸化物層 68 の厚さを決めなければならない。即ち、一般的には所望のオフセットゲイトの長さより厚く酸化物層 68 を形成しなければならない。

【0006】 また、ソース／ドレイン領域 63、65 へのコンタクトホールの形成を行う場合、エッチングし過ぎると、酸化珪素膜 66 との界面を中心にコンタクトホール周辺部がエッチングされてしまう。すると、70、71 のアルミ電極を形成した場合に、エッチングされた周辺部へアルミが拡散し、時にはチャネル形成領域 64 付近へもアルミが拡散して TFT の特性や信頼性を低下させてしまう。

【0007】 一方、ソース／ドレイン領域へのコンタクト部とチャネル形成領域 64 との間の距離 74 が大きい場合、ソース／ドレイン領域のシート抵抗が問題となる。この問題を解決するには、74 で示される距離を短くする方法が考えられるが、マスク合わせの精度の問題であり短くすることはできない。特に基板としてガラス基板を用いた場合には、加熱工程（各種アニール工程が必要とされる）におけるガラス基板の縮みがマスク合わせに際して大きな問題となる。例えば、10 cm 角以上のガラス基板に対して、600 度程度の熱処理を加えると、数 μm 程度は簡単に縮んでしまう。従って、74 で示される距離は 20 μm 程度としてマージンをとっているのが現状である。

【0008】 さらにまた、前述のソース／ドレイン領域へのコンタクトホールの形成におけるオーバーエッチングの問題を考えると、74 で示される距離を無闇に短くすることはできない。以上述べたように、従来の TFT

においては、

(1) ソース／ドレイン領域へのコンタクトホール形成が問題となる。

(2) (1) に関連してコンタクトホールの位置をチャネル形成領域近くに形成できないので、ソース／ドレイン領域のシート抵抗が問題となる。

【0009】一方、上記(1)、(2)に示すような問題を解決する構造として、図6(B)に示すような構造のTFTが提案されている。このTFTは、図6(A)のTFTと同様なアルミニウムを主成分とするゲイト電極67の周囲に陽極酸化工程によって、酸化物層68を形成し、この酸化物層68に密接してソース／ドレイン電極70、71を設けたものである。しかし、この構造では、ソース／ドレイン電極70、71とゲイト電極67とが酸化物層68のみを介して存在することになるので、酸化物層68を介しての寄生容量が問題となり、動作の不安定さ、信頼性の低下が発生してしまう。この問題を解決するには、酸化物層68の厚さを厚くすればよいのであるが、酸化物層68の厚さは、オフセットゲイトの長さを決めるものであるので、無闇に厚くすることはできない。さらに、酸化物層68にピンホールが存在している場合には、ソース／ドレイン電極とゲイト電極との間でリークが発生する問題があり、何れにしても実用的ではなかった。

【0010】

【発明が解決しようとする課題】本発明は、上記のような問題を解決し、ソース／ドレイン領域へのコンタクトをチャネル形成領域に近い位置に正確に形成すること、またはソース／ドレインへのコンタクトホールの形成に際して、高い信頼性を得ることができるTFTを得ることを課題とする。

【0011】

【課題を解決するための手段】図1を用いて本発明を説明する。アルミニウムを主成分とするゲイト電極15の周囲にはアルミニウムの酸化物層16が形成されており、さらにその周囲に概略三角形形状の絶縁物(酸化珪素)22が設けられており、この絶縁物22によってソース／ドレイン領域17、19と電極29、30とのコンタクト位置が決定されている。この概略三角形形状の絶縁物は、酸化珪素膜20を成膜した後、垂直方向に異方性を有するエッチング(垂直方向が選択的にエッチングされる)を行うことによって、21で示される部分に形成される。

【0012】この概略三角形形状の絶縁物22の寸法特にその幅は、予め成膜される絶縁物20の厚さと、エッチング条件と、ゲイト電極15の高さ(この場合絶縁層16の厚さも含まれる)とによって決定される。25の値は2000Å~20000Å程度が一般的であるが、実施態様に合わせて決めればよい。また、この絶縁物22の形状は、三角形に限定されるものではなく、酸化物

20のステップカバレッジや膜厚によってその形状が変化する。例えば、25で示す寸法を短くした場合は、方形形状となる。しかし、簡単のため以下明細書中では、22のことを図面に示すように概略三角形形状の絶縁物ということとする。

【0013】また、ソース／ドレイン電極29、30がソース／ドレイン領域17、19とコンタクトしている部分には、珪素と金属との化合物(以下シリサイドという)28が形成されており、その接触抵抗とソース／ドレイン領域17、19のシート抵抗とが低減されている。このシリサイド28は、珪素膜上にシリサイドを構成する金属膜27を成膜し、必要に応じて熱処理を加えることによって、珪素膜上に形成される。このシリサイドの種類としては、Tiを用いてTiSi、TiSi₂、Moを用いてMoSi₂、Wを用いてWSi₂、W(SiAl)₂、TiSi₂を用いてTi₂Si₃、Al₂、Pd₂Siを用いてPd₂SiAl₂を利用することができる。しかしながら、Tiを用いてTiSiやTiSi₂を利用することが、処理温度の問題や、接触抵抗、シート抵抗の問題から好ましい。

【0014】また、また図1に示すTFTでは、ゲイト電極周囲に絶縁層16が形成されているが、この絶縁層が形成されておらず、ゲイト電極に密接して絶縁物22を設ける構成としてもよい。

【0015】さらに本発明の好ましい実施態様例を図3に示す。図3に示すのは、シリサイド層90を形成することによって、ソース／ドレイン領域のシート抵抗を低減させたもので、ソース／ドレイン電極が通常のTFTのようにチャネル形成領域87より離れた位置(94で示される)に存在している構造である。このような構造を採用すると、ソース／ドレイン領域のシート抵抗を低減できるので、ソース／ドレイン電極の形成される位置が、図3(D)に示されるように通常的位置であっても、TFTの特性を向上させることができる。

【0016】

【作用】ゲイト電極の側面に概略三角形形状の絶縁物を自己整合的に設けることで、ソース／ドレイン領域へのコンタクトホールの形成が不要になる。また、この概略三角形形状の絶縁物によって、ソース／ドレイン領域へのコンタクト位置をチャネル形成領域に近い所に設けることができる。そして、ソース／ドレイン領域表面をシリサイド化することで、ソース／ドレイン電極との接触抵抗の低減、ソース／ドレイン領域のシート抵抗の低減を得ることができる。

【0017】また、通常のTFTの構造を採用した場合であっても、ソース／ドレイン領域表面に金属とのシリサイド層を形成することより、ソース／ドレイン領域のシート抵抗を下げることができ、TFTの特性を向上させることができる。

【0018】

【実施例】

【実施例1】図1に本実施例のTFTの概略の作製工程を示す。本実施例で作製するのは、Nチャンネル型TFTであるが、ソース／ドレイン領域をP型半導体で構成すればPチャンネル型TFTとできることはいうまでもない。また、以下の実施例の説明においては、半導体として珪素半導体を用いる例を説明するが、他の半導体を用いることもできる。本実施例のTFTは、液晶表示装置の画素に設けられるTFTや周辺回路に利用されるTFT、さらにはイメージセンサやその他集積回路に利用することができる。

【0019】本実施例においては、基板11としてガラス基板を用いる。まずガラス基板11上に下地膜12として酸化珪素膜を2000Åの厚さにスパッタ法によって成膜する。つぎに非晶質珪素膜13をプラズマCVD法によって1000Åの厚さに成膜する。この非晶質珪素膜13の成膜方法や膜厚は実施態様によって決定されるものであり、特に限定されるものではない。また結晶性を有する珪素膜（例えば微結晶珪素膜或多結晶珪素膜）を利用することもできる。

【0020】つぎに、非晶質珪素膜13を結晶化させ、結晶性珪素膜とする。結晶化は、600度、24時間の加熱によって行うのが、簡単であるが、レーザー光の照射や強光の照射によって行ってもよい。そして、素子間分離のためのパターニングを行ない、活性層領域を確定する。活性層領域とは、ソース／ドレイン領域とチャンネル形成領域とが形成される島状の半導体領域のことである。

【0021】つぎにゲイト絶縁膜となる酸化珪素膜14を1000Åの厚さにスパッタ法によって成膜する。この酸化珪素膜14の成膜は、有機シラン（例えばTEOS）と酸素とを用いたプラズマCVD法によるものでもよい。つぎにゲイト電極となるアルミニウム膜を6000～8000Å、本実施例では6000Åの厚さに成膜する。なお、このアルミニウム膜中には珪素を0.1～2%程度含有させてある。またゲイト電極としては、珪素を主成分としたもの、珪素と金属とのシリサイド、珪素と金属との積層体等を用いることもできる。

【0022】つぎに、アルミニウム膜をパターニングして、ゲイト電極15を形成する。さらにこのアルミニウムよりなるゲイト電極15の表面を陽極酸化して、表面に酸化物層16を形成する。この陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行った。本実施例においては、この酸化物層16の側面での厚さが2000Åであり、この厚さを利用して後の不純物イオン注入工程において、オフセットゲイト領域を形成する。こうして、図1(A)に示す形状を得る。

【0023】次にN型の導電型を付与するための不純物P（磷）をイオン注入法により、活性層として形成された結晶性珪素膜13にドーピングする。この際、ゲイト電極15とその周囲の酸化物層16がマスクとなり、自

己整合的にソース／ドレイン領域17、19とチャンネル形成領域18とが形成される。この後ドーピングされたPを活性化すると結晶性の劣化した珪素膜のアニールを行うために、レーザー光の照射によるアニールを行う。このアニールは、赤外光の照射によるランプアニールによるものでもよい。また公知の加熱によるものでもよい。しかし、赤外線（例えば1.2μmの赤外線）によるアニールは、赤外線が珪素半導体に選択的に吸収され、ガラス基板をそれ程加熱せず、しかも一回の照射時間を短くすることで、ガラス基板に対する加熱を抑えることができ、極めて有用である。なおこの際、Pはチャンネル形成領域の方に多少拡散するので、ソース／ドレイン領域17、19とチャンネル形成領域18との界面は、酸化物層16よりもチャンネル形成領域18側にシフトした位置に存在する。

【0024】次に酸化珪素膜20を6000Å～2μm、ここでは9000Åの厚さにスパッタ法によって成膜する。この酸化珪素膜20の成膜方法としては、スパッタ法の他にTEOSと酸素とを用いたプラズマCVD法によるものでもよい。この酸化珪素膜は、段差が大きいゲイト電極15の上方において、図1(B)に示すような形状となる。これは程度の問題であって、酸化珪素膜20のステッパカバレッジや膜厚によって変化する。

【0025】次に、公知のRIE法による異方性ドライエッチングを行うことによって、この酸化珪素膜20のエッチングを行う。この際、その高さが9000Åあるゲイト電極15の側面においては、その高さ方向の厚さが膜厚（酸化珪素膜の膜厚9000Åのこと）の約2倍となるので、エッチングを進めていくと、点線21で示されるような形状で酸化珪素を残すことができる。またこの際、ゲイト絶縁膜である酸化珪素膜14をも続けてエッチングしてしまい、ソース／ドレイン領域17、19を露呈させる。またこの場合、活性層としてパターニングされた結晶性珪素膜13の端部においても段差が存在するが、その高さは1000Å程度であるので、この部分には酸化珪素膜20はほとんど残存しない。図1においては、酸化珪素膜20が図1(B)に示すような形状に形成されたので、点線21で示すような形状で酸化珪素が残存するが、仮に酸化珪素膜20がゲイト電極の形状をそのまま反映した形（四角く角張った形状で盛り上がる）で成膜されたとすると、21の形状は方形状または矩形状となる。

【0026】こうして概略三角形に形成された酸化珪素22が残存した状態が得られる。本実施例においては、この三角形の酸化珪素22の幅は、3000Å程度であるが、その値は酸化珪素膜20の膜厚とエッチング条件、さらにはゲイト電極15の高さ（酸化物層16も含めて考える）によって定めることができる。

【0027】次に、TiまたはTiSi₂の膜を成膜し、熱アニールを加えることにより、28で示されるよ

うなSiとTiとのシリサイドを形成する。ここではTi膜を、100Å~1000Åここでは500Åの厚さにスパッタ法で成膜する。そして450度でアニールし、シリサイド層28を形成する。このアニールは赤外光のランプアニールによるものでもよい。ランプアニールを行う場合には、被照射面表面が600度~1000度程度になるように、600度の場合は数分間、1000度の場合は数秒間のランプ照射を行うようにする。また、ここでは、ゲイト電極にアルミを用いているので、Ti膜成膜後の熱アニールを450度としたが、ゲイト電極に珪素を主成分としたものを用いた場合には、500℃以上の温度で行うことが好ましい。

【0028】この後、過酸化水素とアンモニアと水とを5:2:2で混合したエッチング液でTi膜のエッチングする。この際、SiとTiとのシリサイド層28はエッチングされないので、残存させることができる。さらにレーザー光の照射によってアニールを行う。このアニール工程は、200mJ/cm²~400mJ/cm²で行う。

【0029】上記の工程の結果、28で示されるようにソース/ドレイン領域の表面にSiとTiとのシリサイドが形成される。さらにソース/ドレイン電極29、30を形成することにより、Nチャンネル型TFETを完成する。(図1(D))

【0030】ソース/ドレイン電極29、30は下地を窒化チタンとした窒化チタン/アルミニウム2層膜で構成することが好ましい。これは、ソース/ドレイン領域表面がチタンシリサイドとなっているので、極めて良好なコンタクトがとれるためである。

【0031】こうして完成したNチャンネル型TFETは、三角形の酸化珪素22の存在によって、所謂自己整合的にソース/ドレイン領域と電極とのコンタクト部を決定することができ、しかもその位置をガラス基板11の縮みに関係無く決めることができる。さらに、極力コンタクト位置をチャンネル形成領域に近づけることができ、さらにそれに加えてソース/ドレイン領域のシート抵抗がシリサイド層28の存在によって低減されているので、高特性を有するTFETを得ることができる。また、ソース/ドレイン電極を設けるためのゲイト絶縁膜への穴開け工程が不要となるので、この工程に起因する諸問題を根本的に解決することができる。

【0032】また本実施例のような構成を採った場合、ゲイト電極15の側面に陽極酸化工程によって形成されたアルミニウムの酸化物(A1₂O₃)と酸化珪素(SiO₂)22とが設けられているので、ゲイト電極とソース/ドレイン電極との間の寄生容量を減少させることができる。

【0033】〔実施例2〕本実施例の作製工程を図2に示す。図2に示す符号において、図1に示す符号と同じものは、実施例1において説明したものと作製方法は同

じである。まずガラス基板11上にスパッタ法によって、酸化珪素膜を2000Åの厚さに成膜する。次に、非晶質珪素膜13を1000Åの厚さにプラズマCVD法によって成膜する。そして600度、24時間の熱アニールによって非晶質珪素膜13を結晶化させ、結晶性珪素膜とする。

【0034】次に、アルミニウム膜を6000Åの厚さに成膜し、実施例1と同様な工程を経て、その表面に2000Å厚の酸化物層16が形成されたアルミニウムのゲイト電極15を形成する。そして、ゲイト電極以外の場所のゲイト絶縁膜14をエッチングによって除去して、図2(A)のような状態を得る。この後、Pのイオン注入を行ない、ソース/ドレイン領域17、19とチャンネル形成領域18とを自己整合的に形成する。なお、このイオン注入工程は、ゲイト電極である酸化珪素膜14を除去する前に行ってもよい。そして、レーザー照射またはランプ加熱または加熱によるアニールを行いソース/ドレイン領域17、19を活性化させる。

【0035】次に、酸化珪素膜20を6000Åの厚さにスパッタ法によって成膜し、RIE法によって実施例1と同様な方法によりエッチングを行ない、21で示される部分に概略三角形の酸化珪素22を残存させる。

【0036】次に、Ti膜27を500Åの厚さに成膜する。そして450度の熱アニールを行い、実施例1で説明したようにTi膜27を選択的にエッチングして除去する。そしてさらにレーザー光の照射によるアニールを行い、SiとTiとによるシリサイド層28を形成する。そして、ソース/ドレイン電極となるアルミ電極29と30を形成して、Nチャンネル型TFETを完成する。

【0037】本実施例の場合も、実施例1と同様な構造上の効果を得ることができる。即ち、25で示される概略三角形の酸化珪素22の幅を約3000Å(25で示される)と狭くすることができるので、ソース/ドレイン領域17/19と電極29/30とのコンタクトの容易さを実現するとともに、ソース/ドレイン領域17、19のコンタクト部をチャンネル形成領域18に近づけることができ、高い特性を有するTFETを得ることができる。

【0038】勿論、25で示される部分の寸法は、酸化珪素膜20の膜厚、酸化珪素膜20のエッチング条件、ゲイト電極(酸化物層16も含む)15の高さ、によって必要とする値に決めることができる。

【0039】また、ソース/ドレイン領域への穴明け工程が不要となるので、この穴明け工程に従う問題を根本的に解決することができる。

【0040】〔実施例3〕本実施例の作製工程を図3に示す。図3に示すTFETは、ソース/ドレイン電極の形成を従来の方法と同様な方法で形成するものであるが、ソース/ドレイン領域表面90にシリサイド層が形成されており、ソース/ドレイン領域86、88のシー

ト抵抗が低減されていることが特長である。

【0041】まず、ガラス基板80上に下地膜81である酸化珪素膜を1000Åの厚さにスパッタ法によって成膜する。次に非晶質珪素膜82をプラズマCVD法で1000Åの厚さに成膜し、600度、48時間の加熱により結晶化させる。次に素子間分離を行ない活性層を形成する。

【0042】さらに、ゲイト絶縁膜となる酸化珪素膜83を1000Åの厚さにスパッタ法で形成する。そして、ゲイト電極84を構成する珪素が1%添加されたアルミニウム膜を6000Åの厚さに成膜し、パターニングによりゲイト電極84を形成する。さらに陽極酸化工程により、酸化物層85を2000Åの厚さに形成する。そして、Pをイオン注入することによって、86、88をN型化し、チャネル形成領域87を自己整合的に形成する。こうして、ソース/ドレイン領域86、88、さらにはチャネル形成領域87が形成される。

【0043】この後、レーザー光の照射、あるいは赤外光の照射によるソース/ドレイン領域の活性化工程を行なう。そして、露呈した酸化珪素膜83を除去し、Ti膜89をスパッタ法で500Åの厚さに形成する。そして450度で熱アニールを加えることにより、SiとTiとのシリサイド層90を形成する。その後Ti膜89を実施例1で説明した選択性のあるエッチングによって取り除く。さらにレーザー光によるアニールを加える。

【0044】そして、層間絶縁物91を酸化珪素によって形成し、通常のパターニング工程によって、ソース/ドレイン電極92、93の形成を行う。このような構成を採った場合、ソース/ドレイン電極92、93とチャネル形成領域87との距離94が離れていても、シリサイド層90の作用によってソース/ドレイン領域のシート抵抗が低減されているので、ソース/ドレイン領域のシート抵抗の影響を受けないTFETを得ることができる。また、94の距離をある程度の余裕をもってとることができるので、ソース/ドレイン電極形成の際の層間絶縁物91に対する穴開け工程におけるマスク合わせに余裕を持たすことができ、作製工程上も有意である。

【0045】特に、ソース/ドレイン領域への、コンタクトホール穴の穴明けの際に、ゲイト電極への穴明けを行おうとする場合、従来では、ゲイト電極上側の陽極酸化層をエッチングしている間に、ソース/ドレイン領域上面がエッチング液（バッファ弗酸）によって変成されてしまう問題があったが、本実施例のように、ソース/ドレイン領域上面にシリサイド層が形成されている場合、シリサイド層はバッファ弗酸によってほとんど変成されないため、上記の問題を解決することができる。

【0046】〔実施例4〕本実施例は、ガラス基板上にNチャネル型TFET（NTFT）とPチャネル型TFET（PTFT）とを相補型に構成したC/TFET（コンプリメンタリー薄膜トランジスタ）設ける例である。

【0047】まず、ガラス基板100上に下地膜101である酸化珪素膜を1000Åの厚さにスパッタ法によって成膜する。次に非晶質珪素膜をプラズマCVD法で1000Åの厚さに成膜し、600度、48時間の加熱により結晶化させる。次に素子間分離を行ない結晶化された活性層102と103を形成する。

【0048】さらに、ゲイト絶縁膜となる酸化珪素膜104を1000Åの厚さにスパッタ法で形成する。そして、ゲイト電極105、107を構成する珪素が1%添加されたアルミニウム膜を6000Åの厚さに成膜し、パターニングによりゲイト電極105、107を形成する。さらに陽極酸化工程により、酸化物層106、108を2000Åの厚さに形成する。そして、一方の活性層102にBをイオン注入することによって、ソース/ドレイン領域となる109、111をP型化し、チャネル形成領域110を自己整合的に形成する。さらに他の一方の活性層103にPをイオン注入することによって、ソース/ドレイン領域となる112、114をN型化し、チャネル形成領域113を自己整合的に形成する。この工程において、イオン注入を必要としない領域はレジストで覆えばよい。

【0049】この後、レーザー光の照射、あるいは赤外光の照射によるソース/ドレイン領域の活性化工程を行なう。そして、露呈した酸化珪素膜104を除去し、Ti膜を実施例1と同様な条件で成膜し、さらに熱アニールを加えることにより、SiとTiとのシリサイド層116を形成する。その後Ti膜をエッチングによって取り除き、さらにレーザー光によるアニールを加える。こうしてSiとTiとのシリサイド層116を形成する。

【0050】そして、層間絶縁物117を酸化珪素によって形成し、通常のパターニング工程によって、Pチャネル型TFETのソース/ドレイン電極118、119、Nチャネル型TFETのソース/ドレイン電極120、121を形成する。このような構成を採った場合、ソース/ドレイン電極120、121とチャネル形成領域113との距離122が離れていても、シリサイド層116の作用によってソース/ドレイン領域のシート抵抗が低減されているので、ソース/ドレイン領域のシート抵抗の影響を受けないTFETを得ることができる。また、122の距離をある程度の余裕をもってとることができるので、ソース/ドレイン電極形成の際の層間絶縁物117に対する穴開け工程におけるマスク合わせに余裕をもたすことができ、作製工程上も有用である。さらに、この穴開け工程において、ソース/ドレイン領域上面がエッチングあるいは変成されることを防ぐことができる。

【0051】以上の実施例1～4においては、ゲイト電極としてアルミニウムを用い、その周囲に陽極酸化によって形成した酸化物層を設ける構成を示した。しかしながら、珪素を主成分としたゲイトであっても、また金属

を主成分としたゲイト電極であっても、また半導体と金属の積層で構成されるゲイト電極であってもよい。または半導体と金属のシリサイドであってもよい。例えばTi電極、Cr電極、Ta電極、またはこれらと珪素との積層やシリサイドの電極、さらにはSi-W、Si-Mo、Si-Alの積層またはシリサイドをゲイト電極として利用することができる。

【0052】

【効果】ゲイト電極に隣接して、自己整合的に絶縁物を設けることで、ソース／ドレイン領域へのコンタクト位置を自動的に決めることができる。しかもソース／ドレイン領域のシート抵抗の高さをあまり問題としなくてもよい構造を得ることができる。特に、

- (1) マスク合わせの問題が無い。
- (2) コンタクトホール形成の際の諸問題がない。
- (3) 自己整合的にコンタクト部とチャネル形成領域との距離を設定することができる。

といった有用性を得ることができる。

【0053】また、ソース／ドレイン領域の表面にシリサイド層を形成することで、ソース／ドレイン領域のシート抵抗を低減することができ、TFTの特性、歩留り、信頼性、生産性を向上させることができる。

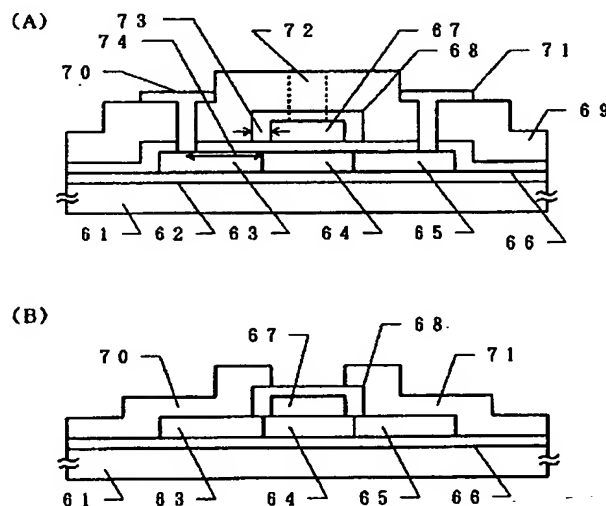
【図面の簡単な説明】

- 【図1】 実施例のTFTの作製工程を示す。
- 【図2】 実施例のTFTの作製工程を示す。
- 【図3】 実施例のTFTの作製工程を示す。
- 【図4】 実施例のTFTの作製工程を示す。
- 【図5】 従来のTFTの構造を示す。

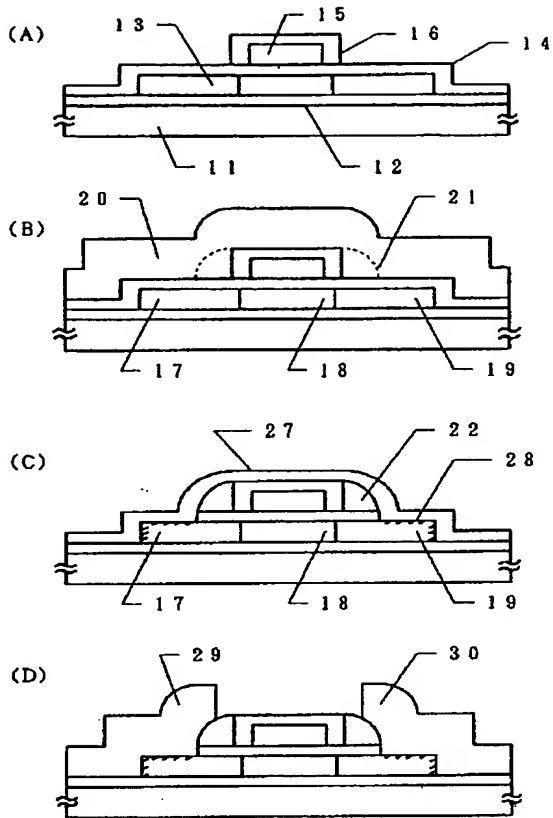
【符号の説明】

- 11・・・ガラス基板
- 12・・・下地膜（酸化珪素膜）
- 13・・・珪素半導体膜
- 14・・・酸化珪素膜
- 15・・・ゲイト電極
- 16・・・酸化物層
- 17・・・ソース／ドレイン領域
- 18・・・チャネル形成領域
- 19・・・ドレイン／ソース領域
- 20・・・酸化珪素膜
- 21・・・酸化珪素膜が残存する領域
- 22・・・残存した概略三角形の酸化珪素
- 27・・・Ti膜
- 28・・・シリサイド層
- 29・・・電極
- 30・・・電極
- 80・・・ガラス基板
- 81・・・下地膜（酸化珪素膜）
- 82・・・珪素膜
- 83・・・酸化珪素膜
- 84・・・ゲイト電極
- 85・・・酸化物層
- 89・・・Ti膜
- 90・・・シリサイド層
- 91・・・層間絶縁物
- 92・・・電極
- 93・・・電極

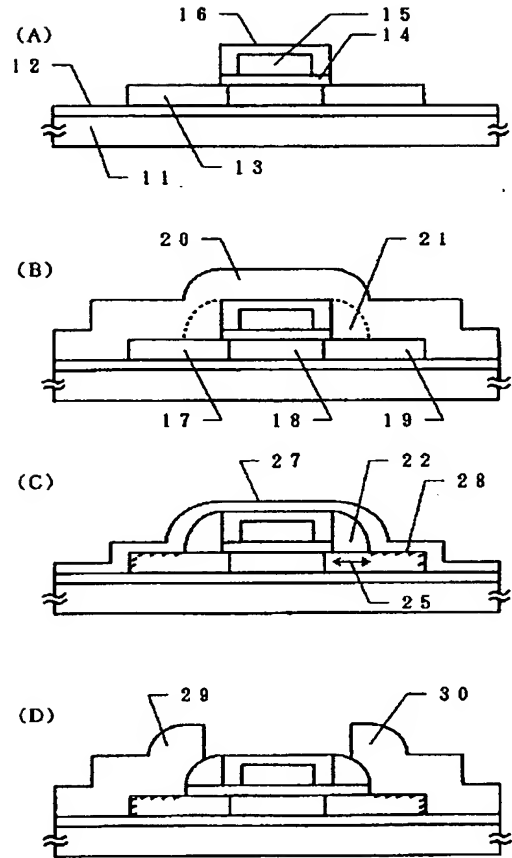
【図5】



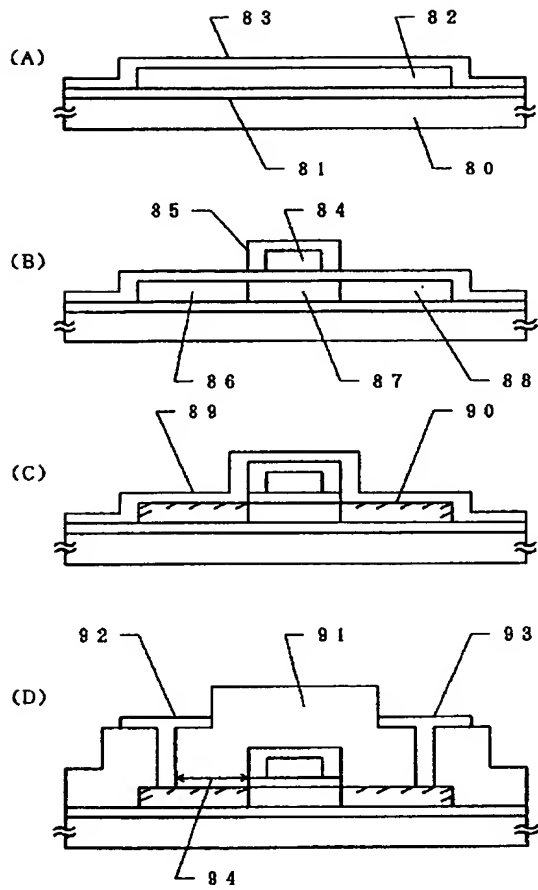
【図 1】



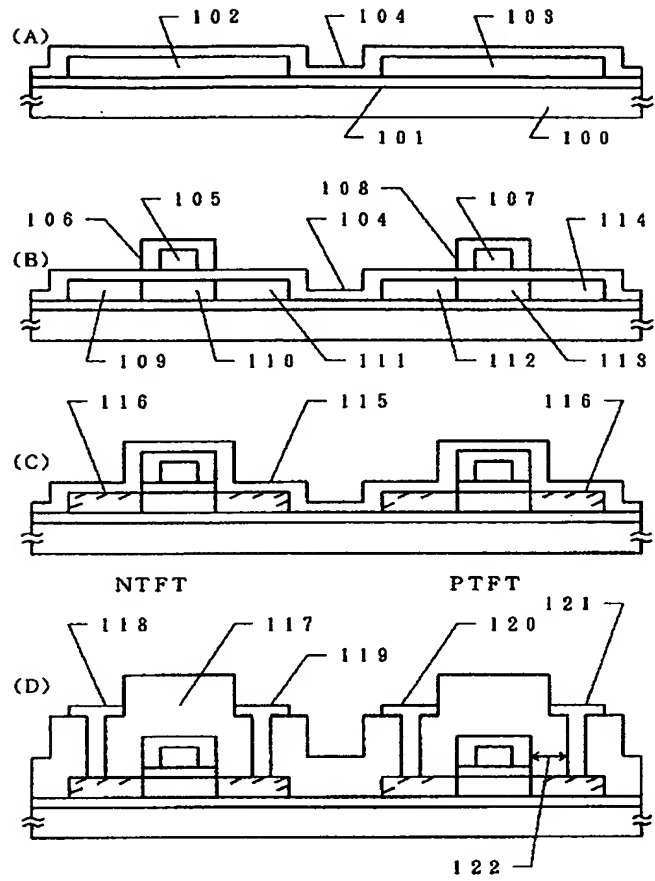
【図 2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁷
29/786

識別記号

F I

617 A
617 J

(56) 参考文献 特開 昭63-318779 (J P, A)
特開 平3-203322 (J P, A)
特開 平1-160009 (J P, A)
特開 平4-360580 (J P, A)
特開 昭58-23479 (J P, A)
特開 平2-228041 (J P, A)
特開 昭57-99775 (J P, A)